

W1206EK

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-101965
 (43)Date of publication of application : 13.04.2001

(51)Int.Cl.

H01J 1/304
 G09F 9/30
 H01J 29/04
 H01J 29/87
 H01J 31/12

(21)Application number : 11-278127
 (22)Date of filing : 30.09.1999

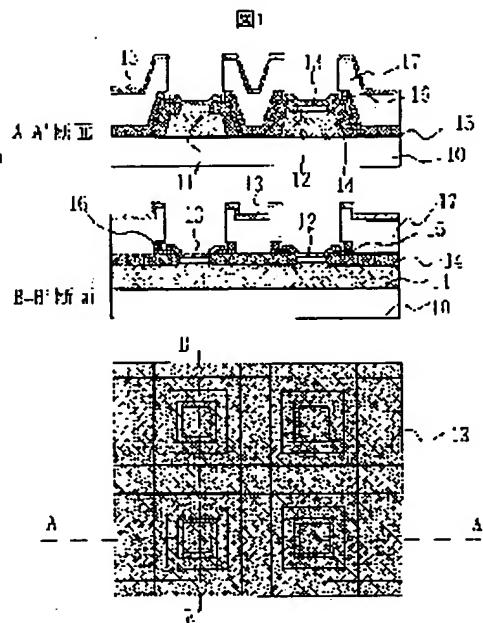
(71)Applicant : HITACHI LTD
 (72)Inventor : KUSUNOKI TOSHIAKI
 SUZUKI MUTSUMI
 SAGAWA MASAKAZU
 ISHIZAKA AKITOSHI

(54) THIN FILM ELECTRON SOURCE AND DISPLAY DEVICE USING IT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a thin film electron source matrix with high electron emission efficiency and easiness in erecting a spacer, and to provide a display device with higher brightness, a higher image quality and higher yield.

SOLUTION: Passivation layer 17 is formed of an insulator that has an electron emission portion formed on upper bus electrodes 15 and 16 and an opening portion formed on contact portion between upper electrodes and upper bus electrodes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more lower electrodes prepared in the direction of a line (or train) The insulating layer of the electron emission section formed on the aforementioned lower electrode A protection insulating layer thicker than the aforementioned insulating layer which restricts the aforementioned electron emission section The up electrode which covers the aforementioned electron emission section The up bus electrode which is prepared in the direction of a train (again lameness), and serves as a feeder of the aforementioned up electrode It is the thin film type electron source equipped with the above, and is characterized by forming the passivation membrane to which the portion to which the aforementioned up electrode contacts the aforementioned up bus electrode serves as the aforementioned electron emission section from the insulator which carried out opening on the aforementioned up bus electrode, and forming an up electrode layer in the aforementioned passivation membrane top and opening of the aforementioned passivation membrane, and being cut with the level difference of the aforementioned opening.

[Claim 2] Two or more lower electrodes prepared in the direction of a line (or train) The insulating layer of the electron emission section formed on the aforementioned lower electrode A protection insulating layer thicker than the aforementioned insulating layer which restricts the aforementioned electron emission section The up electrode which covers the aforementioned electron emission section It is the 2nd up bus electrode which the aforementioned electron emission section surrounds the 1st up bus electrode not crossing and the aforementioned electron emission section although it becomes the feeder of the aforementioned up electrode prepared in the direction of a train (again lameness), and supplies electric power to the aforementioned up electrode. The portion to which it is the thin film type electron source equipped with the above, and the aforementioned electron emission section and the aforementioned up electrode contact the up bus electrode of the above 2nd, And the passivation membrane which the portion which a part of up bus electrode of the above 1st and a part of both of the up bus electrode of the above 2nd expose becomes from the insulator which is carrying out opening It is formed on the above 1st and the 2nd up bus electrode. an up electrode layer On the aforementioned passivation membrane, And it is characterized by connecting by the aforementioned up electrode layer from which it is formed in opening of the aforementioned passivation membrane, and is cut with the level difference of the aforementioned opening, and the above 1st and the 2nd up bus electrode were disconnected by the aforementioned opening.

[Claim 3] Two or more lower electrodes prepared in the direction of a line (or train) The insulating layer of the electron emission section formed on the aforementioned lower electrode A protection insulating layer thicker than the aforementioned insulating layer which restricts the aforementioned electron emission section The up electrode which covers the aforementioned electron emission section The 2nd up bus electrode which surrounds the 1st up bus electrode and aforementioned electron emission section which the aforementioned electron emission section does not intersect although it becomes the feeder of the aforementioned up electrode which was prepared in the direction of a train (again lameness), and consisted of same material, and supplies electric power to the aforementioned up electrode, The

connection object of the up bus electrode of the above 1st and the 2nd up bus electrode which consist of a part of component [at least] of the up bus electrode of the above 1st, and the 2nd up bus electrode It is the thin film type electron source equipped with the above, and is characterized by to form the passivation membrane which the portion to which the aforementioned electron emission section and the aforementioned up electrode contact the up bus electrode of the above 2nd becomes from the insulator which is carrying out opening on the above 1st and the 2nd up bus electrode, and to form an up electrode layer in the aforementioned passivation membrane top and opening of the aforementioned passivation membrane, and to be cut with the level difference of the aforementioned opening.

[Claim 4] The aforementioned passivation membrane is glass, such as SiO, SiO₂, the Lynn silica glass, and boro-silicated glass, Si₃N₄, and aluminum₂O₃. Thin film type electron source given in the claim 1 characterized by being any one or those cascade screens of organic compound insulators, such as a polyimide, or any 1 term of 3.

[Claim 5] 4 is [a claim 1 or] the display with which it is characterized by sticking the substrate which has the thin film type electron source of a publication, and the substrate which has the phosphor screen which applied the fluorescent substance through a spacer and frame part material, and being stopped by the vacuum either.

[Claim 6] The aforementioned spacer is display according to claim 5 which is glass or a tabular spacer made from ceramics, and is characterized by being arranged between the passivation membrane covered with the aforementioned up electrode layer on the aforementioned up bus electrode or the up bus inter-electrode gap portion of the above 1st, and the black matrix of the aforementioned phosphor screen.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention has the three-tiered structure of a lower electrode, an insulating layer, and an up electrode, and relates to the thin film type electron source which emits an electron into a vacuum, and the display using this.

[0002]

[Description of the Prior Art] A thin film type electron source impresses voltage between the up electrode-lower electrodes of the three-layer diaphragm structure of for example, an up electrode-insulating-layer-lower electrode, and makes an electron emit into a vacuum from the front face of an up electrode. For example, there are an MIM (Metal-Insulator-Metal) type which carried out the laminating of the metal-insulator-metal, an MIS (Metal-Insulator-Semiconductor) type which carried out the laminating of the metal-insulator-semiconductor electrode, a thing which carried out the laminating of the cascade-screen-metal or semiconductor electrode of a metal-insulator and a semiconductor. The MIM type is stated to JP,7-65710,A. The principle of operation of a thin film type electron source was shown in drawing 2. If driver voltage V_d is impressed between the up electrode 13 and the lower electrode 11 and the electric field in an insulating layer 12 are made into about 1-10 MV/cm, the electron near [in the lower electrode 11] the Fermi level will penetrate an obstruction according to a tunnel phenomenon, will be poured in to the conduction band of an insulating layer 12 and the up electrode 13, and will serve as a hot electron. What has the energy beyond the work function ϕ of the up electrode 13 among these hot electrons is emitted into a vacuum 20.

[0003] If this thin film electron source makes two or more up electrodes 13 and two or more lower electrodes 11 intersect perpendicularly and a matrix is formed, since it can generate an electron ray from arbitrary places, it can use for the electron source of display.

[0004] Until now, electron emission is observed from the MIM (Metal-Insulator-Metal) structure of Au-aluminum2O3-aluminum structure etc.

[0005]

[Problem(s) to be Solved by the Invention] A thin film type electron source makes the up electrode 13 penetrate, and makes the hot electron accelerated by the insulating layer 12 emit into a vacuum. Therefore, thickness of the up electrode 13 is made very thin with about several nm, in order to lessen dispersion of a hot electron.

[0006] If the front face of the up electrode 13 is polluted with the organic substance etc., hot electrons will be scattered about and, as for such a thin film type electron source, electron emission efficiency will fall. In the conventional thin film type electron source, when processing the up electrode 13 according to a phot process, the front face of the up electrode 13 was polluted with the resist, and electron emission efficiency was falling by about 1 figure. Therefore, for recovery of electron emission efficiency, the cleaning process by ashing was required. This process needs [not giving the damage by the charge up etc., and] careful cautions for the insulating layer 12 of a thin film type electron source, and the yield at the time of manufacture tends to fall.

[0007] Moreover, although a display panel is created by confining the substrate in which the thin film type electron-source matrix was formed, and the face-plate which applied the fluorescent substance in lamination and a vacuum by frit glass junction through frame part material when using a thin film type electron-source matrix for display, in order to support atmospheric pressure, it is necessary to the large-sized display panel of about 5 inches or more of vertical angles to stand a spacer. Usually, in order to stand a spacer to the gap between the lower electrodes 11 or between up bus electrodes (or up electrode 13) so that the damage to a thin film type electron source may not be given, it needs precise position control. When position control is inadequate, a thin film type electron source may receive a damage, and the manufacture yield tends to fall.

[0008] Moreover, a thin film type electron source has the thickness of an insulating layer 12 as thin as about 10nm in order to use a tunnel phenomenon. Although the method of forming an insulating layer 12 usually uses the method of creating the ultra-thin insulating layers 12, such as an anode oxidation method and the oxidizing [thermally] method, by thickness uniform at a large area, and membranous quality, when mixing of a foreign matter and the film of the lower electrode 11 have a defect, a defect will arise in an insulating layer 12. Especially when carrying out a simple matrix drive, since sufficient driver voltage V_d is no longer impressed, it stops being able to carry out electron emission, and the amount of electron emission will fall, and a line defect will produce other normal thin film type electron sources on wiring of the lower electrode 11 in which a defective part exists, and the up electrode 13. In such a case, the use to display etc. is impossible. When using for display, they are several 100,000 - 1 million numbers about the ultra-thin insulating layer 12. It is difficult to have to form and to form a defect-free thin film type electron-source matrix. Although carried out, even when a defect arises in a ***** type electron source, it limits to a point defect and it is necessary to make it not produce a line defect.

[0009] The first purpose of this invention is to be making an ashing process unnecessary, offer the high thin film type electron source of electron emission efficiency, and offer [offer the thin film type electron source which can process an up electrode layer, without using a phot process,] the high display of the manufacture yield by high brightness.

[0010] Moreover, it is to offer the high-definition display with which the arrangement place of a spacer is optimized and with which a spacer is not conspicuous while it offers the thin film type electron source which cannot receive a damage easily, makes position control easy and raises the manufacture yield of display, even if the second purpose of this invention stands a spacer.

[0011] Furthermore, the third purpose of this invention offers the thin film type electron-source matrix which a line defect does not produce, and is to improve the manufacture yield of display.

[0012]

[Means for Solving the Problem] Two or more lower electrodes by which the above-mentioned first and the second purpose are prepared in the direction of a line (or train), The insulating layer of the electron emission section formed on the aforementioned lower electrode, and a protection insulating layer thicker than the aforementioned insulating layer which restricts the aforementioned electron emission section, It is the thin film type electron source which has the up electrode which covers the aforementioned electron emission section, and the up bus electrode which is prepared in the direction of a train (again lameness), and serves as a feeder of the aforementioned up electrode. The aforementioned electron emission section, The passivation membrane which the aforementioned up electrode becomes from the insulator in which the portion in contact with the aforementioned up bus electrode carried out opening It realizes by being formed on the aforementioned up bus electrode, and forming an up electrode layer in the aforementioned passivation membrane top and opening of the aforementioned passivation membrane, and being cut with the level difference of the aforementioned opening.

[0013] Moreover, two or more lower electrodes by which the above-mentioned first or the third purpose is prepared in the direction of a line (or train), The insulating layer of the electron emission section formed on the aforementioned lower electrode, and a protection insulating layer thicker than the aforementioned insulating layer which restricts the aforementioned electron emission section, Were prepared in the up electrode which covers the aforementioned electron emission section, and the

direction of a train (again lameness). The 1st up bus electrode which the aforementioned electron emission section does not intersect although it becomes the feeder of the aforementioned up electrode, And it is the thin film type electron source which has the 2nd up bus electrode which surrounds the aforementioned electron emission section and supplies electric power to the aforementioned up electrode. The aforementioned electron emission section, the portion to which the aforementioned up electrode contacts the up bus electrode of the above 2nd, And the passivation membrane which the portion which a part of up bus electrode of the above 1st and a part of both of the up bus electrode of the above 2nd expose becomes from the insulator which is carrying out opening It is formed on the above 1st and the 2nd up bus electrode. an up electrode layer On the aforementioned passivation membrane, And it realizes from connecting by the aforementioned up electrode layer from which it is formed in opening of the aforementioned passivation membrane, and is cut with the level difference of the aforementioned opening, and the above 1st and the 2nd up bus electrode were disconnected by the aforementioned opening.

[0014] Moreover, it is realizable also by connecting the 1st up bus electrode and the 2nd up bus electrode instead of connection of the above 1st by the aforementioned up electrode layer and the 2nd up bus electrode with the connection object which consists of a part of component [at least] of the up bus electrode of the above 1st, and the 2nd up bus electrode.

[0015]

[Embodiments of the Invention] The example 1 of this invention which realizes the example 1 above-mentioned first and the second purpose is explained using drawing 3 -12. The metal membrane for lower electrodes is first formed on the substrate 10 of insulation, such as glass, aluminum and aluminum alloy are used as a lower electrode material. Here, the aluminum-Nd alloy which did the 2 atomic-weight % dope of Nd was used. For example, the sputtering method is used for membrane formation. Thickness was taken as 300 nm. After membrane formation forms the lower electrode 11 of a stripe configuration as shown in drawing 3 according to a phot process and an etching process. Etching uses the wet etching in the mixed-water solution of phosphoric acid, an acetic acid, and a nitric acid.

[0016] Next, the formation method of the protection insulating layer 14 and an insulating layer 12 is explained using drawing 4 and 5. The mask of the portion which serves as the electron emission section on the lower electrode 11 first is carried out by the resist film 19, and other portions are anodized thickly alternatively and it considers as the protection insulating layer 14. The protection insulating layer 14 of 100V, then thickness about 136 nm is formed in formation voltage. Next the resist film 19 is removed and the front face of the remaining lower electrodes 11 is anodized. For example, the insulating layer 12 of thickness about 10 nm is formed on 6 V, then the lower electrodes 11 in formation voltage.

[0017] Next, the up bus electrode layer which serves as a feeder to the up electrode 13 as shown in drawing 6 is formed by the sputtering method. Using a cascade screen here, W was used as a material of the up bus electrode lower layer 15, and the aluminum-Nd alloy was used as a material of the up bus electrode upper layer 16. Moreover, the thickness makes the bus electrode lower layer 15 thin with several nm - about 10nm of numbers so that the up electrode 13 formed later may not be disconnected in the level difference of the up bus electrode lower layer 15, and the up bus electrode upper layer 16 forms membranes thickly with about several 100nm in order to consider as making electric supply enough and the stopper film in the case of etching of the passivation membrane formed later.

[0018] Then, as shown in drawing 7, the cascade screen of an up bus electrode is processed in the direction which intersects perpendicularly in the lower electrode 11 in the shape of a stripe according to a phot process and an etching process. Etching *****'s the aluminum-Nd alloy of the up bus electrode upper layer 16, and W of the up bus electrode lower layer 15 continuously. As for W, etching should just use the wet etching in the mixed-water solution of ammonia and a hydrogen peroxide among the mixed-water solution of phosphoric acid, an acetic acid, and a nitric acid for example, about an aluminum-Nd alloy.

[0019] Next, as shown in drawing 8, the insulator layer used as a passivation membrane 17 is formed. Generally a passivation membrane 17 is used as a passivation membrane by the semiconductor device etc., and can use a ***** thing. That is, as a material, it is glass, such as SiO, SiO₂, the Lynn silica

glass, and boro-silicated glass, Si₃N₄, and aluminum₂O₃. A polyimide etc. can be used. Moreover, as a forming-membranes method, a sputtering film, a vacuum deposition film, a chemical-vapor-deposition film, the applying method, etc. can be used. For example, glass and polyimides, such as a vacuum deposition method, the Lynn silica glass, and boro-silicated glass, can use the rotation applying method etc. for membrane formation of the sputtering method, a chemical-vapor-deposition method, and SiO at membrane formation of SiO₂, aluminum 2O₃, Si₃N₄, etc. In this example, Si₃N₄ film which formed membranes by the spatter was used. Since protection of a thin film type electron source is the purpose, thickness is thickly formed with about 0.3-1mm.

[0020] Then, as shown in drawing 9, the electron emission section and the up electrode 13 formed later carry out opening of the field including the circumference of the electron emission section in contact with the up bus electrode lower layer 15 to a passivation membrane 17 according to a phot process and an etching process. This processing should just use the dry etching method which used CF₄. Since the dry etching method using fluoride system etching gas, such as CF₄, *****'s the insulator of a passivation membrane 17 by the high selection ratio to aluminum alloy of the up electrode upper layer 16, it can process only a passivation membrane 17 by using the up electrode upper layer 16 as a stopper film. As successingly shown in drawing 10, wet etching of the up bus electrode upper layer 16 of the electron emission section is carried out in the mixed-water solution of phosphoric acid, an acetic acid, and a nitric acid. Although this etchant *****'s aluminum alloy, W of the insulator which a passivation membrane 17 uses, and the up bus electrode lower layer 15 hardly *****'s. Therefore, it is accepted up bus electrode upper 16, and *****'s by the high selection ratio. Therefore, to a passivation membrane, the up bus electrode upper layer 16 retreats inside, and the eaves-like passivation membrane 17 is formed.

[0021] Next, as shown in drawing 11, W of the up bus electrode lower layer 15 is *****'ed according to a phot process and an etching process, and opening of the electron emission section is carried out. Under the present circumstances, the up electrode 13 and contact which are formed later can be taken by processing it so that W of the up bus electrode lower layer 15 may extend in an electron emission section side from the up bus electrode upper layer 16 and a passivation membrane 17.

[0022] Finally spatter membrane formation of an up electrode layer is performed. Thickness is several nm, using the cascade screen of Ir, Pt, and Au as an up electrode 13. Here, it could be 3nm. The thin film type electron source after forming an up electrode layer to drawing 1 is shown. The formed thin up electrode 13 contacts W of the up bus electrode lower layer 15 which extends in an electron emission section side, and serves as the structure where electric power is supplied from the up bus electrode upper layer 16 and a passivation membrane 17 while being cut with the level difference of opening of a passivation membrane 17 and dissociating for every electron source. Therefore, the phot process for up electrode 13 processing becomes unnecessary, and contamination by the resist is lost.

[0023] Moreover, the composition sections other than up electrode 13 are covered with the thick passivation membrane 17, and the thin film type electron source of this example becomes strong on a mechanical damage. Moreover, since the electron emission section is formed in the bottom of opening of the thick passivation membrane 17, it is hard coming to receive a mechanical damage. Therefore, even if it stands a spacer etc. in the case of display production, the thin film type electron source which cannot receive a damage easily is obtained.

[0024] in addition to the effect of example 2 example 1, the example 2 of this invention which can prevent line defect generating of a further thin film type electron-source matrix is explained using drawing 3 -6 and drawing 12 -17 First, at the same process as drawing 3 -6 of an example 1, the lower electrode 11, the protection insulating layer 14, and an insulating layer 12 are formed in order, and the cascade screen of the up bus electrode lower layer 15 further for up bus electrodes and the up bus electrode upper layer 16 is formed.

[0025] Then, as shown in drawing 12, the cascade screen for up bus electrodes is intersected perpendicularly in the lower electrode 11 according to a phot process and an etching process, and the configuration of the 1st up bus electrode 21 which does not intersect the electron emission section, and the 2nd up bus electrode 22 which covers the electron emission section and does not touch in the 1st up

bus electrode 21 is processed. Etching *****'s the aluminum-Nd alloy of the up bus electrode upper layer 16, and W of the up bus electrode lower layer 15 continuously. As for W, etching should just use the wet etching in the mixed-water solution of ammonia and a hydrogen peroxide among the mixed-water solution of phosphoric acid, an acetic acid, and a nitric acid for example, about an aluminum-Nd alloy.

[0026] Next, the insulator layer which shows drawing 13 and turns into a passivation membrane 17 like is formed in the same way as an example 1.

[0027] Then, as shown in drawing 14, opening of the portion which a part of electron emission section, the electron emission section circumference to which the up electrode 13 formed later contacts the 2nd up bus electrode 22 and 1st up bus electrode 21, and a part of both of the 2nd up bus electrode 22 expose is carried out to a passivation membrane 17 according to a phot process and an etching process.

Processing should just use the same technique as an example 1.

[0028] Wet etching of the up bus electrode upper layer 16 of the portion which both [a part of] the electron emission section and a part of 1st up bus electrode 21, and the 2nd up bus electrode 22 expose as successively shown in drawing 15 is carried out in the mixed-water solution of phosphoric acid, an acetic acid, and a nitric acid. Although this etchant *****'s aluminum alloy, W of the insulator used for a passivation membrane 17 and the up bus electrode lower layer 15 hardly *****'s.

Therefore, it is accepted up bus electrode upper 16, and *****'s by the high selection ratio.

Therefore, to a passivation membrane 17, the up bus electrode upper layer 16 retreats inside, and the eaves-like passivation membrane 17 is formed.

[0029] Next, as shown in drawing 16, W of the up bus electrode lower layer 15 of the electron emission section is *****'ed according to a phot process and an etching process, and opening of the electron emission section is carried out. Under the present circumstances, electric contact of the up electrode 13 formed later and the 2nd up bus electrode 22 can be taken by processing it so that W of the up bus electrode lower layer 15 may extend in an electron emission section side from the up bus electrode upper layer 16 and a passivation membrane 17. Under the present circumstances, the portion which a part of 1st up bus electrode 21 and a part of both of the 2nd up bus electrode 22 expose protects by the resist, and it is made for W of the up bus electrode lower layer 15 not to *****.

[0030] Finally spatter membrane formation of an up electrode layer is performed. Thickness is several nm, using the cascade screen of Ir, Pt, and Au as an up electrode 13. Here, it could be 3nm. The cross section of the thin film type electron source after forming an up electrode layer to drawing 17 is shown. The formed thin up electrode 13 contacts W of the up bus electrode lower layer 15 which extends in an electron emission section side, and serves as the structure where electric power is supplied from the up bus electrode upper layer 16 and a passivation membrane 17 while being cut with the level difference of opening of a passivation membrane 17 and dissociating for every electron source. Therefore, the phot process for up electrode 13 processing becomes unnecessary, and contamination by the resist is lost. Moreover, the up electrode layer disconnected with the level difference of opening of a passivation membrane 17 is formed also in the portion which a part of 1st up bus electrode 21 and a part of both of the 2nd up bus electrode 22 expose. This film connects electrically the 1st up bus electrode 21 and the 2nd up bus electrode 22. The thickness of the up electrode 13 can control the resistance of a connection by controlling the size of opening to indicate it in drawing 17 as nm order, since it is thin to about kohms. That is, each electron source is connected with the 1st up bus electrode 21 through a thin film resistor 23 in circuit.

[0031] Like an example 1, the composition sections other than up electrode 13 are covered with the thick passivation membrane 17, and the thin film type electron source of this example becomes strong on a mechanical damage. Moreover, since the electron emission section is also formed in the bottom of opening of the thick passivation membrane 17, it is hard coming to receive a mechanical damage. Therefore, even if it stands a spacer etc., the thin film type electron source which cannot receive a damage easily is obtained. Furthermore, each electron source is electrically connected through a thin film resistor 23 from the up stripe bus electrode 21 used as a feeder. Therefore, since voltage is impressed to a thin film resistor 23 even when a thin film type electron source connects too hastily and it

becomes a defect, applying normal voltage to other thin film type electron sources can be continued, and it is hard to generate a line defect. Moreover, since a high current flows, the thin film resistor 23 which consists of a thin up electrode 13 soon can be damaged by fire, and a short circuit defect can separate a defective part completely. It stops therefore, producing a line defect completely.

[0032] In addition, although this example used a part of up electrode layer as a thin film resistor, it may leave W film of the thin film resistor 15 which consists of a part of composition section of the 1st up bus electrode 21 and the 2nd up bus electrode 22, for example, an up bus electrode lower layer, and may process a thin film resistor. In this case, in the case of etching of drawing 12, the up bus electrode lower layer 15 does not ******, but is processed like drawing 18 by performing a phot process and an etching process separately. Since the up bus electrode lower layer 15 does not carry out the stage piece of the up electrode 13 and it forms thinly with about 10nm of numbers from several nm, the resistance of a connection is controllable by controlling a size to about kohms.

[0033] The example 3 of the display using example 3 this invention is explained using drawing 19 -24. Since an ashing process is unnecessary and electron emission efficiency is high when the thin film type electron source of the example 1 of this invention is used, the display of high brightness and a low power can be offered. moreover, the thin film type electron source which cannot receive a mechanical damage easily -- since -- since it is hard to receive a damage even if it stands a spacer, the position control of a spacer is easy, and the high display of the manufacture yield can be offered. Moreover, it is easy to optimize the arrangement place of a spacer, and the display with which a spacer is not conspicuous can be produced. When the thin film type electron source of the second example of this invention is furthermore used, the thin film type electron-source matrix which a line defect does not produce because each electron source has a thin film resistor is realized, and the manufacture yield can offer high display.

[0034] Here, it explains focusing on the case where the thin film type electron source of an example 1 is used. When the thin film type electron source of an example 2 is used, the manufacture method of display is the same.

[0035] According to the technique of an example 1, a thin film type electron-source matrix is first created on a substrate 10. The plan of the thin film type electron-source matrix of a dot and the cross section were shown in drawing 19 (3x3) for explanation. However, the thin film type electron-source matrix of the number corresponding to the number of display dots is formed in practice. Moreover, although an up electrode layer also covers a passivation membrane 17 top with the thin film type electron-source substrate of this invention, only the portion which is functioning as an up electrode 13 for explanation is expressed as the plan of this example. Moreover, in this example, the laminated structure of the up bus electrode lower layer 15 and the up bus electrode upper layer 16 is summarized as an up bus electrode 18, and is displayed.

[0036] Although examples 1 and 2 did not explain, when using a thin film type electron-source matrix for display, the electrode edge of the lower electrode 11 and the up bus electrode 18 must expose an electrode side for circuit connection. For that purpose, it is made to carry out the mask of the electrode edge in the case of a passivation membrane 17 and membrane formation of the up electrode 13. When forming a passivation membrane by the applying method, electrode-terminal **** is performed in the case of etching which opens opening of a passivation membrane.

[0037] Creation of a display side substrate is performed as follows (drawing 20). The glass of a translucency etc. is used for a face-plate 110. First, the black matrix 120 is formed in order to raise the contrast of display. It applies to a face-plate 110 the solution which mixed PVA (polyvinyl alcohol) and the ammonium dichromate, and after the black matrix 120 irradiates ultraviolet rays and exposes them in addition to a portion to form the black matrix 120 in, it removes a non-exposed portion, and the solution which melted the graphite powder there is applied and it forms it by carrying out the lift off of the PVA.

[0038] Next, the red fluorescent substance 111 is formed. After irradiating ultraviolet rays and making the portion which forms a fluorescent substance after applying the solution which mixed PVA (polyvinyl alcohol) and the ammonium dichromate to the fluorescent substance particle on a face-plate 110 expose them, a stream removes a non-exposed portion. Thus, the red fluorescent substance 111 is

patternized. A pattern is patternized in the shape of [as shown in drawing 20] a stripe. Similarly, the green fluorescent substance 112 and the blue fluorescent substance 113 are formed. as a fluorescent substance -- red -- Y₂O₃ S:Eu (P22-R) -- green -- ZnS:Cu and aluminum (P22-G) -- what is necessary is just to use ZnS:Ag (P22-B) blue

[0039] Subsequently, after carrying out filming by films, such as a nitrocellulose, the thickness 75 nm grade vacuum evaporation of the aluminum is carried out, and it is considered as the metal back 114 at the face-plate 110 whole. This metal back 114 works as an accelerating electrode. Then, a face-plate 110 is heated at about 400 degrees C among the atmosphere, and the organic substance, such as a filming film and PVA, is decomposed thermally. Thus, a display side substrate is completed.

[0040] Thus, the surrounding frame 116 is sealed for the display side substrate and substrate 10 which were manufactured through a spacer 30 using frit glass 115. The portion equivalent to drawing 19 of the display panel stuck on drawing 21, the A-A cross section of 20, and a B-B cross section is shown. The distance between the face-plate 110-substrates 10 sets up the height of a spacer 30 so that it may be set to about 1-3mm. A spacer is stood on the passivation membrane 17 covered with the film of the up electrode 13. A spacer 30 arranges glass [of a tabular], or the product made from ceramics between the up bus electrodes 18. In this case, since a spacer is arranged under the black matrix 120 by the side of a display substrate, a spacer 30 does not check luminescence. Therefore, it is hard to produce degradation of the quality of image by existence of a spacer 30. Although it was easy to produce the damage of a thin film type electron source in the conventional thin film type electron-source matrix in order to stand a spacer 30 on the protection insulating layer 14 which consists of an oxide film on anode the configuration of the above spacers 30, and in arrangement, since it is covered with the passivation membrane 17, it is hard to produce the damage by standing a spacer 30 in this example.

[0041] What is necessary is here, to be the range which mechanical strength bears in practice, to reduce the number of sheets (density) of a spacer 30, and just to stand every other cm generally, although the spacer 30 is altogether stood between every dot which emits light to R (red), G (green), and B (blue), and the up bus electrode 18 for explanation.

[0042] Moreover, the book of being hard to receive a damage even when using a support-like spacer and a grid-like spacer although this example did not describe

[0043] the sealed panel is exhausted to the vacuum of about 10 to 7 Torrs, and has been stopped. It stops, a getter is activated the back and the vacuum in a panel is maintained. For example, in the case of the getter material which makes Ba a principal component, a getter film can be formed by high-frequency induction heating etc. Moreover, you may use the un-evaporating type getter which makes Zr a principal component. Thus, the display panel using the thin film electron source is completed.

[0044] Thus, in this example, about 1-3mm and acceleration voltage impressed to the metal back 114 since it is long are made as for the distance between a face-plate 110 and a substrate 10 to 3-6kV and the high voltage. Therefore, the fluorescent substance for cathode-ray tubes (CRT) can be used for a fluorescent substance as mentioned above.

[0045] Drawing 22 is the schematics to the drive circuit of the display panel which carried out in this way and was manufactured. The lower electrode 11 is connected to the lower electrode drive circuit 40, and connects the up bus electrode 18 in the up electrode drive circuit 50. m-th lower electrode 11 Km and n-th up bus electrode 18 The intersection of Cn will be expressed with (m, n). The about 3-6kV acceleration voltage 60 is always impressed to the metal back 114.

[0046] Drawing 23 shows an example of the wave of the generated voltage of each drive circuit. At time t0, since any electrode is voltage zero, an electron is not emitted, therefore a fluorescent substance does not emit light. It sets at time t1 and is the lower electrode 11. About the voltage set to K1 -V1, it is the up bus electrode 18. The voltage which becomes +V2 is impressed to C1 and C2. Since voltage is impressed between an intersection (1 1) and the lower electrode 11-up electrode 13 of (1, 2) (V1+V2), if (V1+V2) is set up more than electron emission starting potential, from the thin film type electron source of these two intersections, an electron will be emitted into a vacuum. After the acceleration voltage 60 impressed to the metal back 114 accelerates, incidence of the emitted electron is carried out to a fluorescent substance, and it makes it emit light. In time t2, if the voltage which becomes 11 lower

electrodeK2 -V1 is impressed and the voltage which becomes 18 up bus electrodeC1 V2 is impressed, an intersection (2 1) will light up similarly. Thus, the picture or information on desired can be displayed by changing the signal impressed to the up bus electrode 18. Moreover, a picture with gradation can be displayed by changing suitably the size of the applied voltage V1 to the up bus electrode 18. Impression of the turn over voltage for opening the charge accumulated in an insulating layer 12 is all the lower electrodes 11 here. - After impressing V1, it carried out by impressing -V3' to all the lower electrodes 11V3 and all the up bus electrodes 18.

[0047] Especially when the thin film type electron source of the example 2 of this invention is used, output resistance of the up electrode drive circuit 50 is made low resistance from the thin film resistor 23 to which it is added by each thin film type electron source. The equal circuit is shown in drawing 24. In this case, since voltage is impressed to a thin film resistor 23 even when a thin film type electron source connects too hastily by defective generating, voltage is impressed to other normal thin film type electron sources, and a line defect does not arise. Therefore, the manufacture yield can offer high display.

[0048]

[Effect of the Invention] According to this invention, an ashing process is unnecessary and the display of the high brightness and low power which used the thin film type electron source with high electron emission efficiency can be offered. Moreover, since it is the thin film type electron source which cannot receive a damage easily even if it stands a spacer, arrangement of a spacer is easy and can offer the high display of the manufacture yield. By furthermore optimizing arrangement of a spacer, a spacer is not conspicuous and the high display of quality of image can be offered. Moreover, by making it low resistance using the thin film type electron-source matrix which added the thin film resistor to each electron source from the thin film resistor to which the output resistance of an up electrode drive circuit is added by each thin film type electron source, since it is hard coming to generate a line defect, display with the still higher manufacture yield can be offered.

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-101965

(P2001-101965A)

(43)公開日 平成13年4月13日 (2001.4.13)

(51)Int.Cl. ⁷	識別記号	F I	テマコト ⁸ (参考)	
H 01 J 1/304		G 09 F 9/30	3 6 0	5 C 0 3 1
G 09 F 9/30	3 6 0	H 01 J 29/04		5 C 0 3 2
H 01 J 29/04		29/87		5 C 0 3 6
29/87		31/12	C	5 C 0 9 4
31/12		1/30	F	

審査請求 未請求 請求項の数6 OL (全12頁)

(21)出願番号 特願平11-278127

(22)出願日 平成11年9月30日 (1999.9.30)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 楠 敏明

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 鈴木 瞳三

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74)代理人 100075096

弁理士 作田 康夫

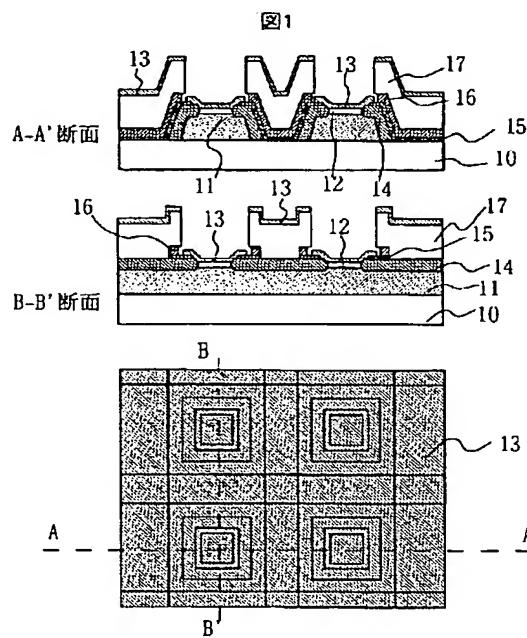
最終頁に続く

(54)【発明の名称】 薄膜型電子源、およびそれを用いた表示装置

(57)【要約】

【課題】 電子放出効率の高く、スペーサを立てやすい薄膜電子源マトリクスを得、高輝度、高画質、高歩留まりの表示装置を得る。

【解決手段】 上部バス電極15、16上に、電子放出部と、上部電極13と上部バス電極との接触部に開口部を有する絶縁体からなるバシベーション膜17を形成する。



【特許請求の範囲】

【請求項1】行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制限する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられ、前記上部電極の給電線となる上部バス電極を有する薄膜型電子源であって、前記電子放出部と、前記上部電極が前記上部バス電極と接触する部分が開口した絶縁体からなるパシベーション膜が、前記上部バス電極上に形成され、上部電極膜が前記パシベーション膜上、および前記パシベーション膜の開口部に形成され、かつ前記開口部の段差で切断されていることを特徴とする薄膜型電子源。

【請求項2】行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制限する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられた、前記上部電極の給電線となるが前記電子放出部とは交差しない第1の上部バス電極、および前記電子放出部を囲み前記上部電極に給電する第2の上部バス電極を有する薄膜型電子源であって、前記電子放出部、前記上部電極が前記第2の上部バス電極と接触する部分、および前記第1の上部バス電極の一部と前記第2の上部バス電極の一部の両方が露出する部分が開口している絶縁体からなるパシベーション膜が、前記第1および第2の上部バス電極上に形成され、上部電極膜が前記パシベーション膜上、および前記パシベーション膜の開口部に形成され、かつ前記開口部の段差で切断されており、前記第1、第2の上部バス電極が前記開口部で切断された前記上部電極膜で接続されていることを特徴とする薄膜型電子源。

【請求項3】行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制限する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられ、同一材料で構成された前記上部電極の給電線となるが前記電子放出部とは交差しない第1の上部バス電極、および前記電子放出部を囲み前記上部電極に給電する第2の上部バス電極と、前記第1の上部バス電極、第2の上部バス電極の構成材料の少なくとも一部からなる前記第1の上部バス電極と第2の上部バス電極との接続体を有する薄膜型電子源であって、前記電子放出部、前記上部電極が前記第2の上部バス電極と接触する部分が開口している絶縁体からなるパシベーション膜が、前記第1および第2の上部バス電極上に形成され、上部電極膜が前記パシベーション膜上、および前記パシベーション膜の開口部に形成され、かつ前記開口部の段差で切断されていることを特徴とする薄膜型電子源。

【請求項4】前記パシベーション膜は、 SiO 、 SiO_2 、リ

ン珪酸ガラス、ホウ珪酸ガラス等のガラス類、 Si_3N_4 、 Al_2O_3 、ポリイミド等の有機絶縁膜のいずれか一つまたはそれらの積層膜であることを特徴とする請求項1乃至3のいずれか一項に記載の薄膜型電子源。

05 【請求項5】請求項1乃至4のいずれか記載の薄膜型電子源を有する基板と、蛍光体を塗布した蛍光面を有する基板が、スペーサと、枠部材を介して、貼り合わされ、真空中に封じられていることを特徴とする表示装置。

【請求項6】前記スペーサは、ガラス製またはセラミック製の板状スペーサであり、前記上部バス電極または前記第1の上部バス電極間の間隙部分上の、前記上部電極膜で被覆されたパシベーション膜と、前記蛍光面のブラックマトリクスの間に配置されていることを特徴とする請求項5記載の表示装置。

15 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、下部電極、絶縁層、上部電極の3層構造を有し、真空中に電子を放出する薄膜型電子源、およびこれを用いた表示装置に関する。

20 【0002】

【従来の技術】薄膜型電子源とは、例えば上部電極-絶縁層-下部電極の3層薄膜構造の、上部電極-下部電極の間に電圧を印加して、上部電極の表面から真空中に電子を放出させるものである。例えば金属-絶縁体-金属を積層したMIM (Metal-Insulator-Metal) 型、金属-絶縁体-半導体電極を積層したMIS (Metal-Insulator-Semiconductor) 型や、金属-絶縁体と半導体の積層膜-金属または半導体電極を積層したもの等がある。MIM型についても例えば特開平7-65710号に述べられている。薄膜型電子源の動作原理を図2に示した。上部電極13と下部電極11との間に駆動電圧Vdを印加して、絶縁層12内の電界を1~10MV/cm程度にすると、下部電極11中のフェルミ準位近傍の電子はトンネル現象により障壁を透過し、

25 絶縁層12、上部電極13の伝導帯へ注入されホットエレクトロンとなる。これらのホットエレクトロンのうち、上部電極13の仕事関数以上上のエネルギーを有するものは、真空中に放出される。

【0003】この薄膜電子源は複数本の上部電極13と、

30 複数本の下部電極11を直交させてマトリクスを形成すると、任意の場所から電子線を発生させることができる。表示装置の電子源に用いることができる。

【0004】これまで、 $Au-Al_2O_3-Al$ 構造のMIM (Metal-Insulator-Metal) 構造などから電子放出が観測されている。

【0005】

【発明が解決しようとする課題】薄膜型電子源は、絶縁層12で加速したホットエレクトロンを、上部電極13を透過させて真空中に放出させる。したがって上部電極13の

50 膜厚はホットエレクトロンの散乱を少なくするために数

nm程度と非常に薄くする。

【0006】このような薄膜型電子源は、上部電極13の表面が有機物等で汚染されるとホットエレクトロンが散乱され電子放出効率が低下してしまう。従来の薄膜型電子源では、ホト工程により上部電極13を加工する際、上部電極13の表面がレジストで汚染され、電子放出効率が約1桁低下していた。そのため、電子放出効率の回復のためには、アッシングによるクリーニング工程が必要であった。この工程は、薄膜型電子源の絶縁層12にチャージアップ等によるダメージを与えないよう細心の注意が必要であり、製造時の歩留まりが低下しやすい。

【0007】また、薄膜型電子源マトリクスを表示装置に使用する場合、薄膜型電子源マトリクスを形成した基板と蛍光体を塗布した面板を、枠部材を介してフリットガラス接合により貼り合わせ、真空に封じることにより表示パネルを作成するが、対角5インチ程度以上の大型の表示パネルには、大気圧を支持するためスペーサを立てる必要がある。通常スペーサは薄膜型電子源へのダメージを与えないように下部電極11の間、あるいは上部バス電極（または上部電極13）の間の間隙に立てるため、精密な位置制御が必要である。位置制御が不十分な場合、薄膜型電子源がダメージを受ける可能性があり、製造歩留りが低下しやすい。

【0008】また、薄膜型電子源はトンネル現象を用いるため、絶縁層12の膜厚が10nm程度と薄い。絶縁層12の形成法は通常、陽極酸化法や熱酸化法など、極薄の絶縁層12を大面积で均一な膜厚、膜質で作成できる方法を用いるが、異物の混入や下部電極11の膜に欠陥がある場合などは、絶縁層12に欠陥が生じてしまう。特に、単純マトリクス駆動する場合は、欠陥部が存在する下部電極11、上部電極13の配線上の他の正常な薄膜型電子源も、十分な駆動電圧Vdが印加されなくなるため電子放出できなくなったり、電子放出量が低下したりして線欠陥が生じてしまう。このような場合、表示装置等への使用は不可能である。表示装置に用いる場合、極薄の絶縁層12を数10万～数100万個形成しなければならず、無欠陥の薄膜型電子源マトリクスを形成することは困難である。したがて薄膜型電子源に欠陥が生じた場合でも、点欠陥にとどめ線欠陥を生じさせないようにする必要がある。

【0009】本発明の第一の目的は、ホト工程を用いずに上部電極膜を加工できる薄膜型電子源を提供し、アッシング工程を不要にすることで、電子放出効率の高い薄膜型電子源を提供し、高輝度で製造歩留りの高い表示装置を提供することにある。

【0010】また、本発明の第二の目的は、スペーサを立ててもダメージを受け難い薄膜型電子源を提供して、位置制御を容易にし、表示装置の製造歩留りを向上させるとともに、スペーサの配置場所を最適化してスペーサの目立たない高画質の表示装置を提供することにある。

【0011】さらに、本発明の第三の目的は、線欠陥の

生じない薄膜型電子源マトリクスを提供し、表示装置の製造歩留りを向上することにある。

【0012】

【課題を解決するための手段】上記第一、および第二の目的は、行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制限する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられ、前記上部電極の給電線となる上部バス電極を有する薄膜型電子源であって、前記電子放出部と、前記上部電極が前記上部バス電極と接触する部分が開口した絶縁体からなるパシベーション膜が、前記上部バス電極上に形成され、上部電極膜が前記パシベーション膜上、および前記パシベーション膜の開口部に形成され、かつ前記開口部の段差で切断されていることにより実現される。

【0013】また、上記第一乃至第三の目的は、行（または列）方向に設けられる複数の下部電極と、前記下部電極上に形成される電子放出部の絶縁層と、前記電子放出部を制限する前記絶縁層より厚い保護絶縁層と、前記電子放出部を被覆する上部電極と、列（または行）方向に設けられた、前記上部電極の給電線となるが前記電子放出部とは交差しない第1の上部バス電極、および前記電子放出部を囲み前記上部電極に給電する第2の上部バス電極を有する薄膜型電子源であって、前記電子放出部、前記上部電極が前記第1の上部バス電極の一部と前記第2の上部バス電極の一部の両方が露出する部分が開口している絶縁体からなるパシベーション膜が、前記第1および第2の上部バス電極上に形成され、上部電極膜が前記パシベーション膜上、および前記パシベーション膜の開口部に形成され、かつ前記開口部の段差で切断されており、前記第1、第2の上部バス電極が前記開口部で切断された前記上部電極膜で接続されていることより実現される。

【0014】また、前記上部電極膜による前記第1、第2の上部バス電極の接続の代わりに、第1の上部バス電極と第2の上部バス電極を、前記第1の上部バス電極、第2の上部バス電極の構成材料の少なくとも一部からなる接続体で接続することによっても実現できる。

【0015】

【発明の実施の形態】実施例1
上記第一、および第二の目的を実現する、本発明の実施例1を図3～12を用いて説明する。まずガラス等の絶縁性の基板10上に下部電極用の金属膜を成膜する。下部電極材料としてはAlやAl合金を用いる。ここでは、Ndを2原子量%ドープしたAl-Nd合金を用いた。成膜には例えば、スパッタリング法を用いる。膜厚は300 nmとした。成膜後はホト工程、エッチング工程により図3に示すようなストライプ形状の下部電極11を形成する。エッチ

グは例えば磷酸、酢酸、硝酸の混合水溶液でのウェットエッティングを用いる。

【0016】次に、保護絶縁層14、絶縁層12の形成方法を図4、5を用いて説明する。まず下部電極11上の電子放出部となる部分をレジスト膜19でマスクし、その他の部分を選択的に厚く陽極酸化し、保護絶縁層14とする。化成電圧を100Vとすれば、厚さ約136 nmの保護絶縁層14が形成される。つぎにレジスト膜19を除去し残りの下部電極11の表面を陽極酸化する。例えば化成電圧を6Vとすれば、下部電極11上に厚さ約10 nmの絶縁層12が形成される。

【0017】次に図6に示すように上部電極13への給電線となる上部バス電極膜をスパッタリング法で成膜する。ここでは積層膜を用い上部バス電極下層15の材料としてWを、上部バス電極上層16の材料としてAl-Nd合金を用いた。またその膜厚は、バス電極下層15は後で形成する上部電極13が上部バス電極下層15の段差で断線しないように数nm～数10nm程度と薄くし、上部バス電極上層16は給電を十分にすること、および後で形成するパシベーション膜のエッティングの際のストップー膜とするため、数100nm程度と厚く成膜する。

【0018】続いて、図7に示すようにホト工程、エッティング工程により上部バス電極の積層膜を下部電極11とは直交する方向にストライプ状に加工する。エッティングは、上部バス電極上層16のAl-Nd合金と上部バス電極下層15のWを連続してエッティングする。エッティングは例えば、Al-Nd合金については磷酸、酢酸、硝酸の混合水溶液中、Wはアンモニアと過酸化水素の混合水溶液中のウェットエッティングを用いればよい。

【0019】次に、図8に示すように、パシベーション膜17となる絶縁膜を成膜する。パシベーション膜17は例えば半導体素子等でパシベーション膜として一般的に用いられているものを利用できる。すなわち、材料としてはSiO、SiO₂、リン珪酸ガラス、ホウ珪酸ガラス等のガラス類、Si₃N₄、Al₂O₃、ポリイミドなどが利用できる。また成膜法としてはスパッタリング膜、真空蒸着膜、化学気相成長膜、塗布法などを用いることができる。例えばSiO₂、Al₂O₃、Si₃N₄などの成膜にはスパッタリング法や化学気相成長法、SiOの成膜には真空蒸着法、リン珪酸ガラス、ホウ珪酸ガラス等のガラス類やポリイミドは回転塗布法などを用いることができる。本実施例ではスパッタ法により成膜したSi₃N₄膜を用いた。膜厚は薄膜型電子源の保護が目的であるので例えば0.3～1mm程度と厚く形成する。

【0020】続いて、図9に示すようにホト工程、エッティング工程により、パシベーション膜17に電子放出部と、後で形成する上部電極13が上部バス電極下層15と接触する電子放出部周囲を含む領域を開口する。この加工は例えばCF₄を用いたドライエッティング法等を用いればよい。CF₄などのフッ化物系エッティングガスを用いたド

ライエッティング法はパシベーション膜17の絶縁体を上部電極上層16のAl合金に対し高い選択比でエッティングするので、上部電極上層16をストップー膜としてパシベーション膜17のみを加工することが可能である。引き続いて図10に示すように、電子放出部の上部バス電極上層16を磷酸、酢酸、硝酸の混合水溶液中でウェットエッティングする。このエッチャントはAl合金をエッティングするが、パシベーション膜17の用いる絶縁体、上部バス電極下層15のWはほとんどエッティングしない。したがって、上部バス電極上層16のみ高い選択比でエッティングする。そのため、パシベーション膜に対し、上部バス電極上層16が内側に後退し、底状のパシベーション膜17が形成される。

【0021】次に、図11に示すようにホト工程、エッティング工程により上部バス電極下層15のWをエッティングし、電子放出部を開口する。この際、上部バス電極下層15のWが上部バス電極上層16およびパシベーション膜17より電子放出部側に延在するように加工することで、後で形成する上部電極13と接触をとることができる。

【0022】最後に上部電極膜のスパッタ成膜を行う。上部電極13としては例えばIr、Pt、Auの積層膜を用い膜厚は数nmである。ここでは3nmとした。図1に上部電極膜を成膜した後の薄膜型電子源を示す。成膜された薄い上部電極13は、パシベーション膜17の開口部の段差で切断され、各電子源毎に分離されるとともに、上部バス電極上層16およびパシベーション膜17より電子放出部側に延在する上部バス電極下層15のWと接触し、給電される構造となる。したがって、上部電極13加工用のホト工程が不要となり、レジストによる汚染がなくなる。

【0023】また、本実施例の薄膜型電子源は、上部電極13以外の構成部が厚いパシベーション膜17により被覆されており、メカニカルなダメージに強くなる。また、電子放出部が厚いパシベーション膜17の開口部の底に形成されるため、メカニカルなダメージは受け難くなる。したがって、表示装置作製の際にスペーサ等を立ててもダメージを受け難い薄膜型電子源が得られる。

【0024】実施例2
実施例1の効果に加え、さらに薄膜型電子源マトリクスの線欠陥発生を防止できる本発明の実施例2を図3～6、図12～17を用いて説明する。まず実施例1の図3～6と同じ工程で、下部電極11、保護絶縁層14、絶縁層12を順に形成し、さらに上部バス電極用の上部バス電極下層15、上部バス電極上層16の積層膜を成膜する。

【0025】続いて、図12に示すようにホト工程、エッティング工程により上部バス電極用の積層膜を、下部電極11とは直交し、電子放出部とは交差しない第1の上部バス電極21、および電子放出部を被覆し第1の上部バス電極21とは接しない第2の上部バス電極22の形状に加工する。エッティングは、上部バス電極上層16のAl-Nd合金と上部バス電極下層15のWを連続してエッティングする。工

ッチングは例えば、Al-Nd合金については磷酸、酢酸、硝酸の混合水溶液中、Wはアンモニアと過酸化水素の混合水溶液中のウェットエッチングを用いればよい。

【0026】次に、図13に示すようにパシベーション膜17となる絶縁膜を実施例1と同様の要領で成膜する。

【0027】統いて、図14に示すようにホト工程、エッチング工程により、パシベーション膜17に電子放出部、および後で形成する上部電極13が第2の上部バス電極22と接触する電子放出部周囲、および第1の上部バス電極21の一部と第2の上部バス電極22の一部の両方が露出する部分を開口する。加工は実施例1と同様の手法を用いればよい。

【0028】引き統いて図15に示すように電子放出部、および第1の上部バス電極21の一部と第2の上部バス電極22の一部の両方が露出する部分の上部バス電極上層16を磷酸、酢酸、硝酸の混合水溶液中でウェットエッチングする。このエッチャントはAl合金をエッチングするが、パシベーション膜17に用いる絶縁体、上部バス電極下層15のWはほとんどエッチングしない。したがって、上部バス電極上層16のみ高い選択比でエッチングする。そのため、パシベーション膜17に対し、上部バス電極上層16が内側に後退し、底状のパシベーション膜17が形成される。

【0029】次に、図16に示すようにホト工程、エッチング工程により電子放出部の上部バス電極下層15のWをエッチングし、電子放出部を開口する。この際、上部バス電極下層15のWが上部バス電極上層16およびパシベーション膜17より電子放出部側に延在するように加工することで、後で形成する上部電極13と第2の上部バス電極22の電気的接触をとることができる。この際、第1の上部バス電極21の一部と第2の上部バス電極22の一部の両方が露出する部分はレジストで保護し、上部バス電極下層15のWがエッチングされないようにする。

【0030】最後に上部電極膜のスパッタ成膜を行う。上部電極13としては例えばIr、Pt、Auの積層膜を用い膜厚は数nmである。ここでは3nmとした。図17に上部電極膜を成膜した後の薄膜型電子源の断面図を示す。成膜された薄い上部電極13は、パシベーション膜17の開口部の段差で切断され、各電子源毎に分離されるとともに、上部バス電極上層16およびパシベーション膜17より電子放出部側に延在する上部バス電極下層15のWと接触し、給電される構造となる。したがって、上部電極13加工用のホト工程が不要となり、レジストによる汚染がなくなる。また、第1の上部バス電極21の一部と第2の上部バス電極22の一部の両方が露出する部分にもパシベーション膜17の開口部の段差で切断された上部電極膜が形成される。この膜は、第1の上部バス電極21と第2の上部バス電極22を電気的に接続する。上部電極13の膜厚はnmオーダーと薄いので、図17に示すように開口部の寸法を制御することで接続部の抵抗値をkΩ程度に制御すること

ができる。すなわち、回路的に、各電子源が薄膜抵抗23を介し第1の上部バス電極21と接続される。

【0031】本実施例の薄膜型電子源は、実施例1と同様に上部電極13以外の構成部が厚いパシベーション膜17により被覆されており、メカニカルなダメージに強くなる。また、電子放出部も厚いパシベーション膜17の開口部の底に形成されるため、メカニカルなダメージは受け難くなる。したがって、スペーサ等を立ててもダメージを受け難い薄膜型電子源が得られる。さらに各電子源が給電線となる上部ストライプバス電極21から薄膜抵抗23を介して電気的に接続される。したがって、薄膜型電子源が短絡し欠陥となった場合でも、薄膜抵抗23に電圧が印加されるため、他の薄膜型電子源に正常な電圧を掛け続ける事ができ、線欠陥が発生しにくい。また、短絡欠陥は大電流が流れるため、やがて薄い上部電極13からなる薄膜抵抗23が焼損し、欠陥部を完全に切り離すことができる。したがって、線欠陥は完全に生じなくなる。

【0032】なお、本実施例は上部電極膜の一部を薄膜抵抗として用いたが、第1の上部バス電極21、第2の上部バス電極22の構成部の一部からなる薄膜抵抗、例えば上部バス電極下層15のW膜を残して薄膜抵抗を加工してもよい。その場合は図12のエッチングの際、上部バス電極下層15はエッチングせず、別途ホト工程、エッチング工程を行うことにより、図18のように加工する。上部バス電極下層15は上部電極13を段切れさせないため、数mmから数10nm程度と薄く形成するので、寸法を制御することで接続部の抵抗値をkΩ程度に制御することができる。

【0033】実施例3
30 本発明を用いた表示装置の実施例3を図19～24を用いて説明する。本発明の実施例1の薄膜型電子源を用いた場合、アッシング工程が不要で、電子放出効率が高いので、高輝度、低消費電力の表示装置を提供できる。また、メカニカルなダメージを受け難い薄膜型電子源をなすので、スペーサを立ててもダメージを受け難いためスペーサの位置制御が容易で、製造歩留りの高い表示装置を提供できる。また、スペーサの配置場所を最適化しやすく、スペーサの目立たない表示装置を作製できる。さらに本発明の第二の実施例の薄膜型電子源を用いた場合、各電子源が薄膜抵抗を有することで線欠陥の生じない薄膜型電子源マトリクスを実現し、製造歩留りが高い表示装置を提供できる。

【0034】ここでは、実施例1の薄膜型電子源を用いた場合を中心に説明する。実施例2の薄膜型電子源を用いた場合も表示装置の製造方法は同様である。

【0035】まず実施例1の手法にしたがって基板10上に薄膜型電子源マトリクスを作成する。説明のため、図19には(3×3)ドットの薄膜型電子源マトリクスの平面図、断面図を示した。但し、実際は表示ドット数に対応した数の薄膜型電子源マトリクスを形成する。また、本

発明の薄膜型電子源基板では、上部電極膜が、パシベーション膜17上も被覆するが、本実施例の平面図では説明のため上部電極13として機能している部分のみ表示している。また、本実施例では上部バス電極下層15、上部バス電極上層16の積層構造を上部バス電極18としてまとめて表示している。

【0036】実施例1および2では説明しなかったが、薄膜型電子源マトリクスを表示装置に使用する場合、下部電極11、上部バス電極18の電極端部は回路接続のため電極面を露出しておかなければならぬ。そのためには、パシベーション膜17、上部電極13の成膜の際は、電極端部をマスクするようにする。パシベーション膜を塗布法で成膜する場合は、パシベーション膜の開口部を開けるエッティングの際、電極端子出しを行っておく。

【0037】表示側基板の作成は以下のように行う(図20)。面板110には透光性のガラスなどを用いる。まず、表示装置のコントラストを上げる目的でブラックマトリクス120を形成する。ブラックマトリクス120は、PVA(ポリビニルアルコール)と重クロム酸アンモニウムとを混合した溶液を面板110に塗布し、ブラックマトリクス120を形成したい部分以外に紫外線を照射して感光させた後、未感光部分を除去し、そこに黒鉛粉末を溶かした溶液を塗布し、PVAをリフトオフすることにより形成する。

【0038】次に赤色蛍光体111を形成する。蛍光体粒子にPVA(ポリビニルアルコール)と重クロム酸アンモニウムとを混合した水溶液を面板110上に塗布した後、蛍光体を形成する部分に紫外線を照射して感光させた後、未感光部分を流水で除去する。このようにして赤色蛍光体111をパターン化する。パターンは図20に示したようなストライプ状にパターン化する。同様にして、緑色蛍光体112と青色蛍光体113を形成する。蛍光体としては、例えば赤色にY₂O₃:Eu(P22-R)、緑色にZnS:Cu, Al(P22-G)、青色にZnS:Ag(P22-B)を用いればよい。

【0039】次いで、ニトロセルロースなどの膜でフィルミングした後、面板110全体にAlを、膜厚75nm程度蒸着してメタルバック114とする。このメタルバック114が加速電極として働く。その後、面板110を大気中400℃程度に加熱してフィルミング膜やPVAなどの有機物を加熱分解する。このようにして、表示側基板が完成する。

【0040】このようにして製作した表示側基板と基板10とをスペーサ30を介し、周囲の枠116をフリットガラス115を用いて封着する。図21に貼り合わせた表示パネルの図19、20のA-A断面、B-B断面に相当する部分を示す。面板110-基板10間の距離は1～3mm程度になるようにスペーサ30の高さを設定する。スペーサは上部電極13の膜で被覆されているパシベーション膜17上に立てる。スペーサ30は、例えば板状のガラス製またはセラミック製を上部バス電極18間に配置する。この場合、スペーサが表示基板側のブラックマトリクス120の下に配置さ

れるため、スペーサ30が発光を阻害しない。したがって、スペーサ30の存在による画質の劣化が生じにくい。従来の薄膜型電子源マトリクスでは、上記の様なスペーサ30の形状、配置の場合、陽極酸化膜からなる保護絶縁層14上にスペーサ30を立てるため、薄膜型電子源のダメージが生じやすかったが、本実施例ではパシベーション膜17で被覆されているため、スペーサ30を立てるによるダメージは生じにくい。

【0041】ここでは、説明のため、R(赤)、G(緑)、B(青)に発光するドット毎、すなわち上部バス電極18の間に全てスペーサ30を立てているが、実際は機械強度が耐える範囲で、スペーサ30の枚数(密度)を減らし、大体1cmおきに立てればよい。

【0042】また、本実施例では述べなかったが、支柱状のスペーサ、格子状のスペーサを使用する場合でもダメージを受け難いという本発明の効果は当然得られる。

【0043】封着したパネルは、10⁻⁷Torr程度の真空に排気して、封じきる。封じ後、ゲッターを活性化し、パネル内の真空を維持する。例えば、Baを主成分とするゲッター材の場合、高周波誘導加熱等によりゲッター膜を形成できる。また、Zrを主成分とする非蒸発型ゲッターを用いてもよい。このようにして、薄膜電子源を用いた表示パネルが完成する。

【0044】このように本実施例では、面板110と基板125間の距離は1～3mm程度と長いので、メタルバック114に印加する加速電圧を3～6KVと高電圧に出来る。したがって、上述のように、蛍光体には陰極線管(CRT)用の蛍光体を使用できる。

【0045】図22はこのようにして製作した表示装置パネルの駆動回路への結線図である。下部電極11は下部電極駆動回路40へ結線し、上部バス電極18は上部電極駆動回路50に結線する。m番目の下部電極11-K_mと、n番目の上部バス電極18-C_nの交点を(m, n)で表すことにする。メタルバック114には3～6KV程度の加速電圧60を常時印加する。

【0046】図23は、各駆動回路の発生電圧の波形の一例を示す。時刻t₀ではいずれの電極も電圧ゼロであるので電子は放出されず、したがって、蛍光体は発光しない。時刻t₁において、下部電極11-K₁には-V₁なる電圧を、上部バス電極18-C₁、C₂には+V₂なる電圧を印加する。交点(1, 1)、(1, 2)の下部電極11-上部電極13間に(V₁+V₂)なる電圧が印加されるので、(V₁+V₂)を電子放出開始電圧以上に設定しておけば、この2つの交点の薄膜型電子源からは電子が真空中に放出される。放出された電子はメタルバック114に印加された加速電圧60により加速された後、蛍光体に入射し、発光させる。時刻t₂において、下部電極11のK₂に-V₁なる電圧を印加し、上部バス電極18のC₁にV₂なる電圧を印加すると、同様に交点(2, 1)が点灯する。このようにして、上部バス電極18に印加する信号を変えること

より所望の画像または情報を表示することが出来る。また、上部バス電極18への印加電圧V1の大きさを適宜変えることにより、階調のある画像を表示することが出来る。絶縁層12中に蓄積される電荷を開放するための反転電圧の印加は、ここでは下部電極11の全てに-V1を印加した後、全下部電極11にV3、全上部バス電極18に-V3'を印加することにより行った。

【0047】本発明の実施例2の薄膜型電子源を用いた場合は、特に上部電極駆動回路50の出力抵抗を各薄膜型電子源に付加されている薄膜抵抗23より低抵抗にしておく。図24にその等価回路を示す。この場合、薄膜型電子源が欠陥発生により短絡した場合でも薄膜抵抗23に電圧が印加されるため、他の正常な薄膜型電子源に電圧が印加され、線欠陥が生じない。したがって、製造歩留りが高い表示装置を提供できる。

【0048】

【発明の効果】本発明によれば、アッシング工程が不要で、電子放出効率が高い薄膜型電子源を用いた高輝度、低消費電力の表示装置を提供できる。また、スペーサを立ててもダメージを受け難い薄膜型電子源なので、スペーサの配置が容易で、製造歩留りの高い表示装置を提供できる。さらにスペーサの配置を最適化することで、スペーサが目立たず画質の高い表示装置を提供できる。また、各電子源に薄膜抵抗を付加した薄膜型電子源マトリクスを用い、上部電極駆動回路の出力抵抗を各薄膜型電子源に付加されている薄膜抵抗より低抵抗にしておくことで、線欠陥が生じにくくなるため、さらに製造歩留りが高い表示装置を提供できる。

【図面の簡単な説明】

- 【図1】本発明の薄膜型電子源の構造を示す図である。
- 【図2】薄膜型電子源の動作原理を示す図である。
- 【図3】本発明の薄膜型電子源の製法を示す図である。
- 【図4】本発明の薄膜型電子源の製法を示す図である。
- 【図5】本発明の薄膜型電子源の製法を示す図である。
- 【図6】本発明の薄膜型電子源の製法を示す図である。
- 【図7】本発明の薄膜型電子源の製法を示す図である。
- 【図8】本発明の薄膜型電子源の製法を示す図である。
- 【図9】本発明の薄膜型電子源の製法を示す図である。
- 【図10】本発明の薄膜型電子源の製法を示す図である。

【図11】本発明の薄膜型電子源の製法を示す図である。

【図12】本発明の薄膜型電子源の製法を示す図である。

05 【図13】本発明の薄膜型電子源の製法を示す図である。

【図14】本発明の薄膜型電子源の製法を示す図である。

10 【図15】本発明の薄膜型電子源の製法を示す図である。

【図16】本発明の薄膜型電子源の製法を示す図である。

【図17】本発明の薄膜型電子源の製法を示す図である。

15 【図18】本発明の薄膜型電子源の製法を示す図である。

【図19】本発明の薄膜型電子源を用いた表示装置の製法を示す図である。

20 【図20】本発明の薄膜型電子源を用いた表示装置の製法を示す図である。

【図21】本発明の薄膜型電子源を用いた表示装置の製法を示す図である。

【図22】本発明を用いた表示装置での駆動回路への結線を示した図である。

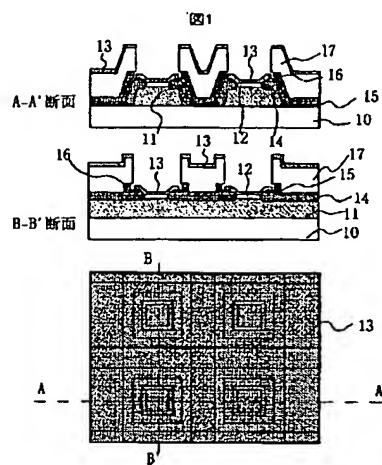
25 【図23】本発明の表示装置での駆動電圧波形を示した図である。

【図24】本発明の薄膜抵抗を付した薄膜型電子源基板の等価回路図である。

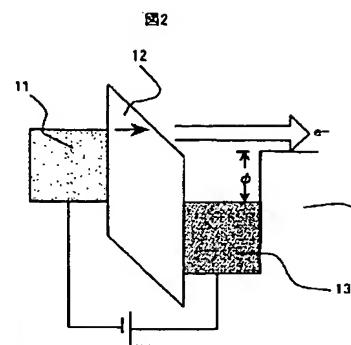
【符号の説明】

- 30 10・・・基板、11・・・下部電極、12・・・絶縁層、13
・・・上部電極、14・・・保護絶縁層、15・・・上部バス電極下層、16・・・上部バス電極上層、17・・・パシベーション膜、18・・・上部バス電極、19・・・レジスト膜、20・・・真空、21・・・第1の上部バス電極、22
35 ・・・第2の上部バス電極、23・・・薄膜抵抗、30・・・スペーサ、40・・・下部電極駆動回路、50・・・上部電極駆動回路、60・・・加速電圧、110・・・面板、111
・・・赤色蛍光体、112・・・緑色蛍光体、113・・・青色蛍光体、114・・・メタルバック、115・・・フリット
40 ガラス、116・・・枠。

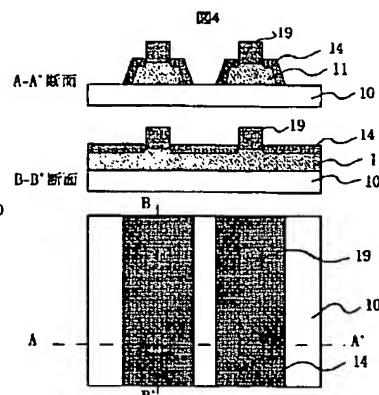
【図1】



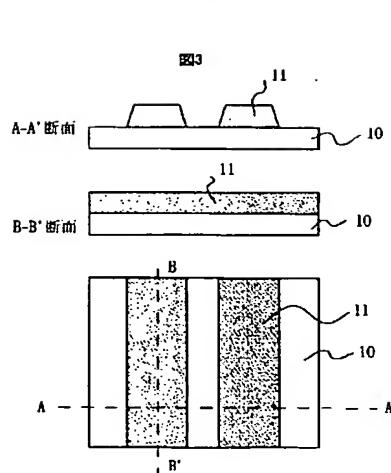
【図2】



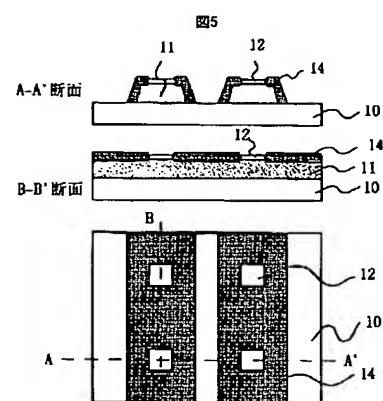
【図4】



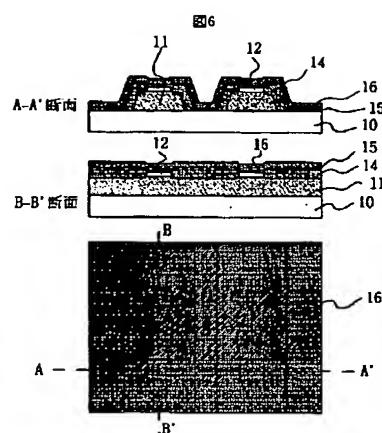
【図3】



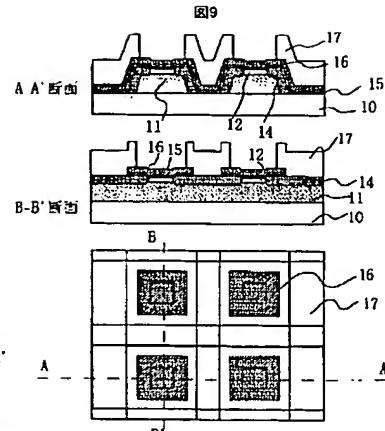
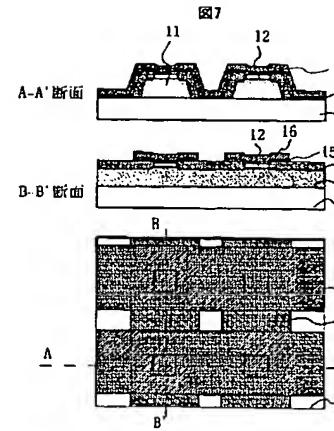
【図5】



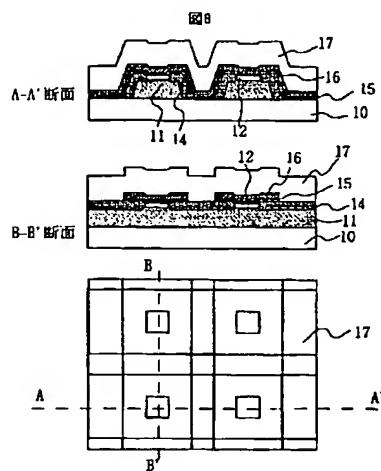
【図6】



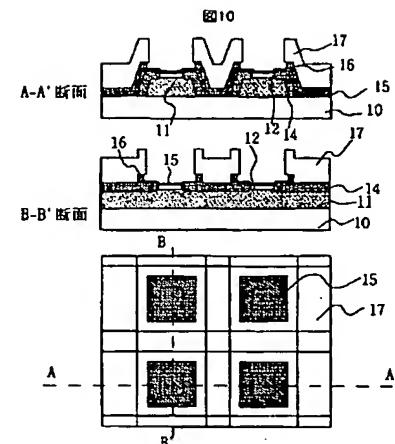
【図7】



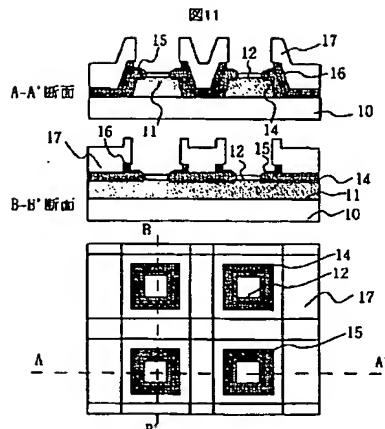
【図8】



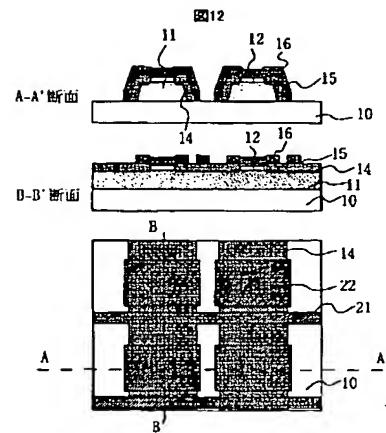
【図10】



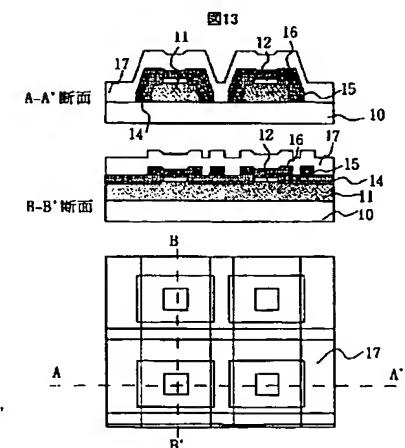
【図11】



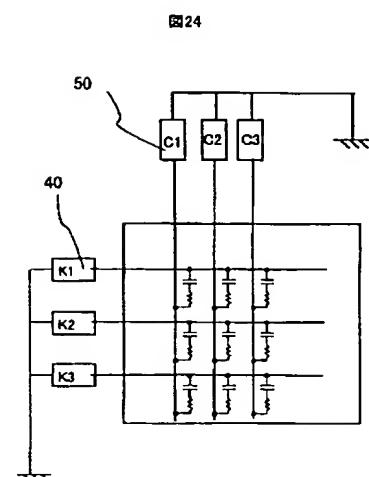
【図12】



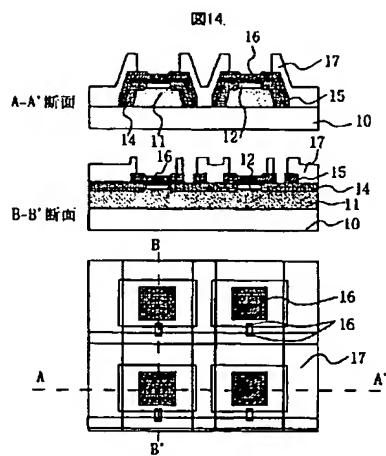
【図13】



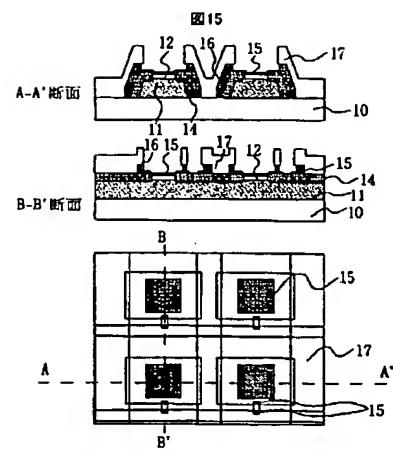
【図24】



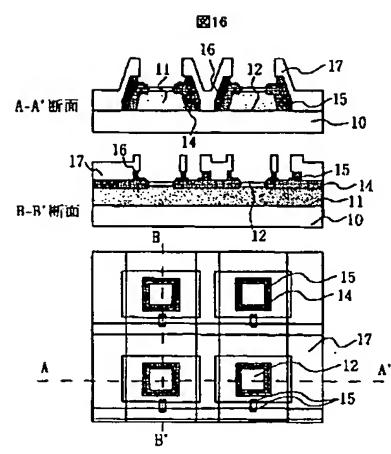
【図14】



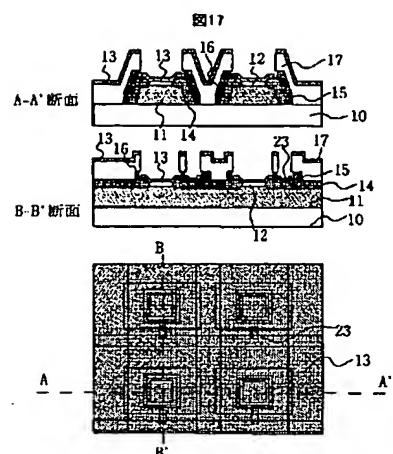
【図15】



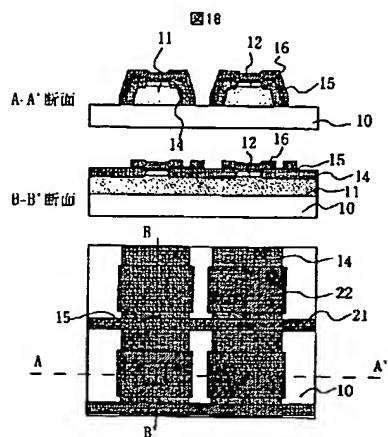
【図16】



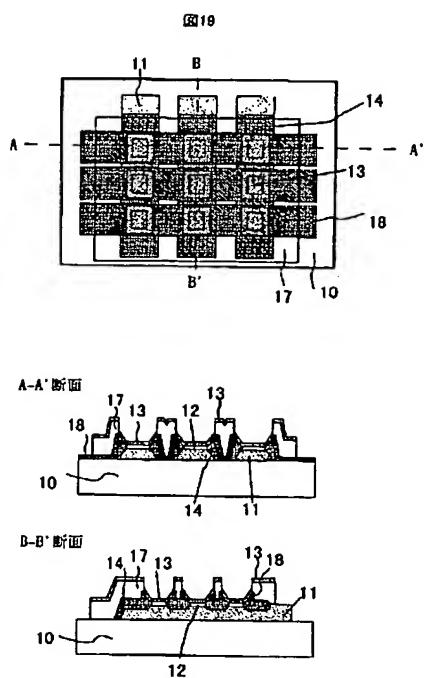
【図17】



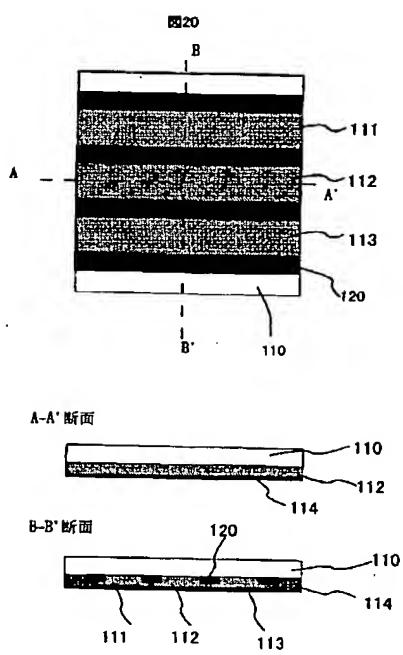
【図18】



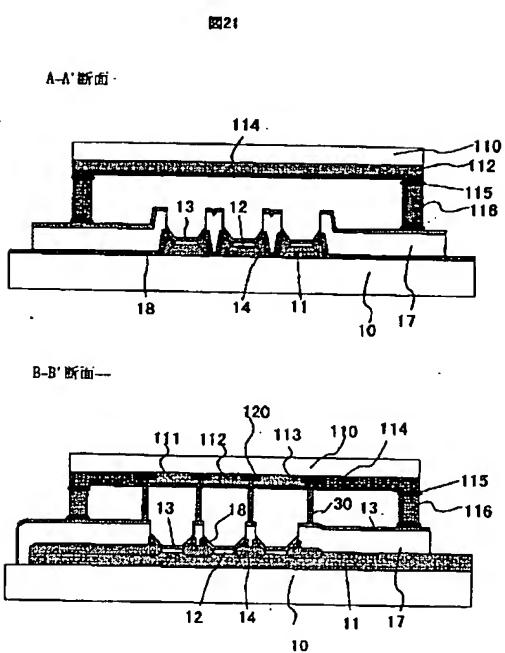
【図19】



【図20】



【図21】



【図22】

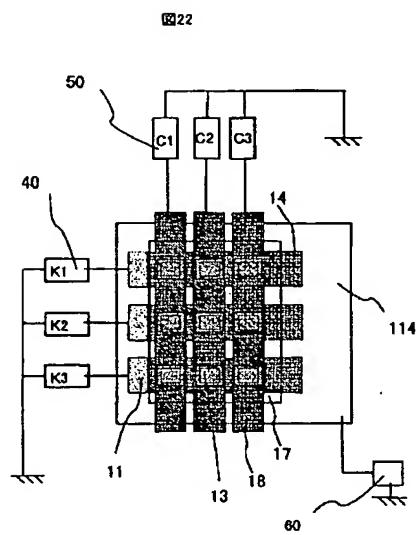


図22

【図23】

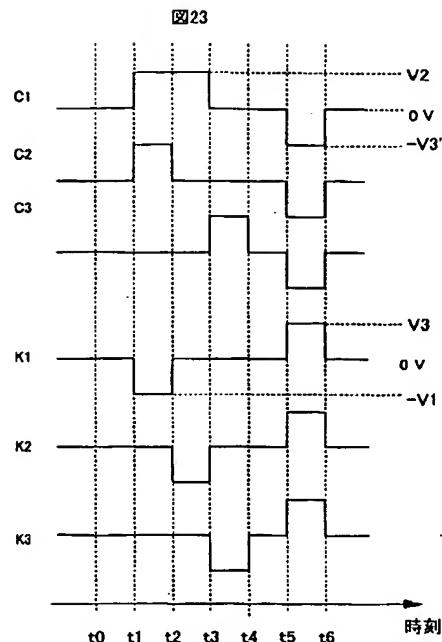


図23

フロントページの続き

(72)発明者 佐川 雅一
 茨城県日立市大みか町七丁目1番1号 株 30
 式会社日立製作所日立研究所内

(72)発明者 石坂 彰利
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

Fターム(参考) 5C031 DD17
 5C032 CC10
 5C036 EE01 EE14 EE19 EF01 EF06
 EF09 EG02 EG12
 5C094 AA10 AA22 AA42 AA43 BA32
 BA34 CA19 DA12 DA13 EC03
 FA01 FA02 FB02 FB15 GB10